

# JAPANESE PATENT APPLICATION, FIRST PUBLICATION No. HEI 9-51075

Int. Cl.<sup>6</sup>: H01L 27/10  
21/82

Publication Date: February 18, 1997

---

APPLICATION NO.:	Hei 7-219604
FILING DATE:	August 4, 1995
APPLICANT:	SONY CORP.
INVENTORS:	Mitsuo MATSUMOTO

---

**TITLE:** Semiconductor Device

## ABSTRACT

**[Problem]** In a semiconductor device having a control terminal, to enable the control terminal to be made active or inactive depending on specifications without changing the wiring pattern.

**[Resolving Means]** A CE2 control terminal 1 is connected to an input terminal of an input buffer 2, and connected to a power supply for supplying a supply voltage  $V_{CC}$  via a fuse 3. In this state, the CE2 control terminal 1 is inactive, but when it is desired to make the CE2 control terminal 1 active in compliance with specifications, the fuse 3 is severed by irradiation with a laser beam or the like.

## CLAIMS

1. A semiconductor device having a plurality of input-output terminals including a control terminal; characterized in that  
said control terminal is connected to a predetermined power supply via a fuse;  
and  
said control terminal is made active or inactive by severing or not severing said fuse.

- 
2. A semiconductor device having a plurality of input-output devices including a control terminal;  
characterized by comprising  
an input buffer having a first input terminal and a second input terminal; and  
a circuit for outputting a high-level or low-level signal including a fuse having one end grounded and the other end connected to a predetermined power supply;  
said control terminal being connected to said first input terminal of said input buffer, and an output terminal of said circuit being connected to said second input terminal of said input buffer;  
said control terminal being made active or inactive by severing or not severing said fuse.
3. A semiconductor device as recited in claim 2, characterized in that said circuit consists of a latch circuit.

## DETAILED DESCRIPTION OF THE INVENTION

### Technical Field of the Invention

The present invention relates to a semiconductor device, particularly to a semiconductor device having a plurality of input-output terminal including a control terminal.

### Conventional Art

In semiconductor devices such as semiconductor memories, control terminals, i.e. control pins are provided in order to control the activation and suspension thereof. For example, Fig. 5 shows an example of a pin arrangement in a static RAM, wherein a SE1 bar and CE2 are provided as control pins. In this static RAM, there are cases in which both the CE1 bar and CE2 control pins are made active, and wherein the CE1 bar control pin is made active while the CE2 control pin is made inactive.

Conventionally, in order to handle these two types of cases, the aluminum (Al) wiring pattern is made differently during the wafer manufacturing process. That is, when making both the CE1 bar control pin and the CE2 control pin active, Al wiring is provided so that the bonding pads of both of these control pins are connected to internal

---

circuitry, while in the case where only the CE1 bar control pin is to be made active and the CE2 control pin is to be inactive, Al wiring is provided so as to connected only the bonding pad for the CE1 bar control pin to the internal circuitry.

### **Problems to be Solved by the Invention**

However, in order to make different Al wiring patterns depending on whether to make a control pin active or inactive as described above, two mask patterns are necessary in order to form the Al wiring, thus increasing the manufacturing cost.

Therefore, the present invention has the object of offering a semiconductor device capable of making a predetermined control terminal active or inactive depending on specifications without changing the wiring patterns.

### **Means for Solving the Problems**

In order to achieve the above object, a first invention according to the present invention is a semiconductor device having a plurality of input-output terminals including a control terminal; characterized in that said control terminal is connected to a predetermined power supply via a fuse; and said control terminal is made active or inactive by severing or not severing said fuse.

A second invention according to the present invention is a semiconductor device having a plurality of input-output devices including a control terminal; characterized by comprising an input buffer having a first input terminal and a second input terminal; and a circuit for outputting a high-level or low-level signal including a fuse having one end grounded and the other end connected to a predetermined power supply; said control terminal being connected to said first input terminal of said input buffer, and an output terminal of said circuit being connected to said second input terminal of said input buffer; said control terminal being made active or inactive by severing or not severing said fuse.

In one embodiment of the second invention according to the present invention, the circuit for outputting a high-level or low-level signal including a fuse having one end grounded and the other end connected to a predetermined power supply consists of a latch circuit.

In the present invention, the fuse is formed from, e.g. polycrystalline silicon or polycide.

According to a semiconductor device of the present invention having the above-described structure, the control terminal can be made active or inactive by severing or not severing a fuse depending on specifications without changing the Al wiring pattern.

---

Additionally, since there is no need to make different Al wiring depending on specifications, it is possible to flexibly adapt to changes in specifications.

### Embodiments of the Invention

The embodiments of the present invention will be described with reference to the attached drawings.

Fig. 1 is a circuit diagram showing a static RAM according to a first embodiment of the present invention, particularly the area around the CE2 control terminal. The pin arrangement after packaging of the static RAM is, e.g. the same as in Fig. 5.

As shown in Fig. 1, in the static RAM according to this first embodiment, in the wafer state, the CE2 control terminal 1 is connected to the input terminal of the input buffer 2, and is also connected to a power supply supplying a supply voltage  $V_{CC}$  via a fuse 3. The output terminal of the input buffer 2 is connected to internal circuitry. Here, the CE2 control terminal 1 is a bonding pad. Additionally, the fuse 3 is capable of being severed by irradiation with a laser beam or the like, and is, for example, formed from polycrystalline silicon.

In the static RAM according to the first embodiment, the CE2 control terminal 1 is made active or inactive by severing or not severing the fuse 3.

That is, in the state shown in Fig. 1, the CE2 control terminal 1 is connected to the power supply supplying the supply voltage  $V_{CC}$  via the fuse 3, so that the potential at the CE2 control terminal 1 is always  $V_{CC}$ . If the state of a potential of  $V_{CC}$  is taken as a high-level and the state of ground potential is taken as a low-level, then a high level is always input to the input terminal of the input buffer 2. In this case, the control of the operation and suspension of this static RAM cannot be performed from the CE2 control terminal 1. In other words, the CE2 control terminal 1 is inactive.

Next, when it is desired to make the CE2 control terminal 1 active in compliance with specifications, the fuse 3 is severed by irradiation with a laser beam as shown in Fig. 2. In this case, a short circuit is formed between the CE2 control terminal 1 and the power supply supplying the supply voltage  $V_{CC}$ , so that it is then possible to control the operation and suspension of the static RAM by means of voltages input to the CE2 control terminal 1. The fuse 3 is normally severed during wafer characteristic testing.

Fig. 3 shows an example of the specific structure of the fuse 3 in the static RAM according to the first embodiment. Here, Fig. 3A is a plan view showing the structure around the fuse 3, while Fig. 3B is a section view along the line A-B in Fig. 3A.

As shown in Fig. 3, a fuse 3 composed of e.g. polycrystalline Si is provided on an

---

interlayer insulating film 4 such as a silicon dioxide ( $\text{SiO}_2$ ) film. Reference numeral 5 denotes an interlayer insulating film such as an  $\text{SiO}_2$  film. On both ends of the fuse, wiring 6a, 6b composed e.g. of Al is connected via contact holes 5a, 5b, 5c, 5d provided in this interlayer insulating film 5. While not shown in the drawing, the wiring 6a, 6b is such that the line 6a is connected to the CE2 control terminal 1 and the line 6b is connected to the power supply supplying the supply voltage  $V_{\text{CC}}$ . Reference numeral 7 denotes a protective film. An aperture 8 is provided in the protective film 7 and the interlayer insulating film 5 so as to expose the central portion of the fuse 3. In order to sever the fuse 3, the fuse 3 is irradiated with e.g. a laser beam through this aperture 8.

As described above, according to the static RAM of the first embodiment, the CE2 control terminal 1 is connected to a power supply supplying the supply voltage  $V_{\text{CC}}$  via the fuse 3. If this fuse 3 is not severed, the CE2 control terminal 1 inactive, but since the CE2 control terminal 1 can be made active by severing the fuse 3, there is no need to make different Al wiring patterns during the wafer manufacturing process in accordance with specifications. For this reason, there is no need to prepare two types of mask patterns for Al wiring formation depending on whether the CE2 control terminal 1 is to be active or inactive.

Additionally, since the CE2 control terminal 1 can be made active or inactive by severing or not severing the fuse 3, it can be flexibly adapted to changes in specifications.

Fig. 4 is a circuit diagram showing a static RAM according to a second embodiment of the present invention, particularly the connections around the CE2 control terminal.

As shown in Fig. 4, in the static RAM according to the second embodiment, in the wafer state, the CE2 control terminal 11 is connected to a first input terminal of an input buffer 12 composed of a 2-input NOR-type logic gate. The second input terminal of this input buffer 12 is connected to the output terminal of a latch circuit 20. The output terminal of the input buffer 12 is connected to internal circuitry.

The latch circuit 20 is composed of a p-channel MOS transistor 21, a p-channel MOS transistor 22, an inverter 23, an inverter 24 and a fuse 25. The source and drain of the p-channel MOS transistor 21 are both connected to a power supply supplying a supply voltage  $V_{\text{CC}}$ , and the gate is connected to the source of the p-channel MOS transistor 22. The drain of the p-channel MOS transistor 22 is connected to a power supply supplying the supply voltage  $V_{\text{CC}}$ , and the source is grounded via the fuse 25. Additionally, the source of the p-channel MOS transistor 22 is connected via the inverters 23 and 24 to the output terminal of the latch circuit 20. The output terminal of the inverter 23 is connected to the gate of the p-channel MOS transistor 22.

According to the static RAM of this second embodiment, when the fuse 25 is not

---

severed, the CE2 control terminal 11 is active. That is, when the fuse 25 is not severed, the node 26 in Fig. 4 is grounded via the fuse 25, so that the potential is always 0. In this case, the output of the latch circuit 20 is also always 0, so that it is possible to control the operation and suspension of the static RAM by means of a CE2 signal inputted to the CE2 control terminal 11. That is, when the fuse 25 is not severed, the CE2 control terminal 11 is active.

Next, when it is desired to make the DE2 control terminal 11 inactive in compliance with specifications, the fuse 25 is severed by irradiation with a laser beam or the like. At this time, the node 26 is in a floating state. Here, due to capacitive coupling by the p-channel MOS transistor 21 with the source and drain connected to the power supply supplying the supply voltage  $V_{CC}$ , the potential of the node 26 connected to the gate of the p-channel MOS transistor 21 becomes equal to  $V_{CC}$ . As a result, the potential of the gate of the p-channel MOS transistor 22 goes to low-level and is turned on, so that the node 26 is held stably at the potential  $V_{CC}$ . At this time, the output of the latch circuit via the two inverters 23, 24 is always high-level. In this case, the operations and suspension of the static RAM cannot be controlled from the CE2 control terminal 11, so that the CE2 control terminal 11 is made inactive.

As described above, according to the static RAM of the second embodiment, as with the first embodiment, the CE2 control terminal 11 is active when the fuse 25 is not severed, but the CE2 control terminal 11 can be made active by severing the fuse 25, so that there is no need to make different Al wiring patterns during the wafer manufacturing process in accordance with specifications. For this reason, there is no need to prepare two mask patterns for formation of the Al wiring depending on whether to make the CE2 control terminal 11 active or inactive.

Additionally, since the CE2 control terminal 11 can be made active or inactive by severing or not severing the fuse 25, it can flexibly adapt to changes in specifications.

While a detailed explanation of the embodiments of the present invention has been given above, this invention is not restricted to the embodiments mentioned above, and various modifications are possible on the basis of the technical gist of the present invention.

For example, the structure of the latch circuit 20 used in the above-described second embodiment is no more than a single example, and other structures may be used as well.

Additionally, in the above-described first and second embodiments, cases were explained wherein the present invention was used in a static RAM, but the present invention can be applied to any semiconductor device having a control terminal.

#### **Effects of the Invention**

---

As described above, according to the present invention, the control terminal is made active or inactive by severing or not severing a fuse, so that the control terminal can be made active or inactive depending on the specifications without changing the wiring patterns.

### **BRIEF DESCRIPTION OF THE DRAWINGS**

- Fig. 1** A circuit diagram showing a static RAM according to a first embodiment of the present invention.
- Fig. 2** A circuit diagram showing a static RAM according to the first embodiment of the present invention in a state wherein the fuse is severed.
- Fig. 3** A plan view and section view showing an example of the detailed structure of a fuse in a static RAM according to the first embodiment of the present invention.
- Fig. 4** A circuit diagram showing a static RAM according to a second embodiment of the present invention.
- Fig. 5** A line diagram showing an example of the pin arrangements of a static RAM.

### **Description of the Reference Numerals**

- |        |                          |
|--------|--------------------------|
| 1, 11  | CE2 control terminal     |
| 2, 12  | input buffer             |
| 3, 25  | fuse                     |
| 8      | aperture                 |
| 20     | latch circuit            |
| 21, 22 | p-channel MOS transistor |
| 23, 24 | inverter                 |

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 5 1 0 7 5

(43) 公開日 平成 9 年 ( 1 9 9 7 ) 2 月 1 8 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10 21/82	371		H01L 27/10 21/82	371 F

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平 7 - 2 1 9 6 0 4

(22) 出願日 平成 7 年 ( 1 9 9 5 ) 8 月 4 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 松本 光男

長崎県諫早市津久葉町 1 8 8 3 番 4 3 ソ

ニー長崎株式会社内

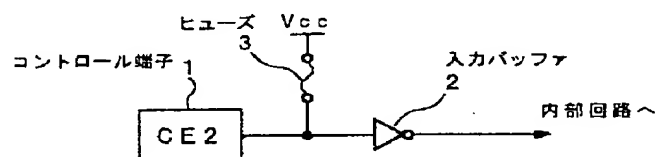
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 コントロール端子を有する半導体装置において、配線パターンを変更せずに、仕様に応じてコントロール端子を有効または無効にすることを可能とする。

【解決手段】 C E 2 のコントロール端子 1 を、入力バッファ 2 の入力端子と接続するとともに、ヒューズ 3 を介して電源電圧 V c c を供給する電源と接続する。この状態では C E 2 のコントロール端子 1 は無効であるが、仕様に応じて C E 2 のコントロール端子 1 を有効としたときは、ヒューズ 3 をレーザー光などの照射により切断する。





**【特許請求の範囲】**

**【請求項 1】** コントロール端子を含む複数の入出力端子を有する半導体装置において、上記コントロール端子がヒューズを介して所定の電源に接続され、  
上記ヒューズの切断または未切断により上記コントロール端子を有効または無効にすることを特徴とする半導体装置。

**【請求項 2】** コントロール端子を含む複数の入出力端子を有する半導体装置において、  
第 1 の入力端子および第 2 の入力端子を有する入力バッファと、  
その一端が接地され、他端が所定の電源に接続されたヒューズを含み、ハイレベルまたはローレベルの信号を出力する回路とを有し、  
上記コントロール端子は上記入力バッファの上記第 1 の入力端子と接続され、上記回路の出力端子は上記入力バッファの上記第 2 の入力端子と接続され、  
上記ヒューズの切断または未切断により上記コントロール端子を有効または無効にすることを特徴とする半導体装置。

**【請求項 3】** 上記回路はラッチ回路からなることを特徴とする請求項 2 記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、半導体装置に関し、特に、コントロール端子を含む複数の入出力端子を有する半導体装置に関する。

**【0002】**

**【従来の技術】** 半導体メモリなどの半導体装置においては、その動作および停止を制御するために、コントロール端子、すなわちコントロールピンが設けられている。例えば、図 5 はスタティック RAM のピン配置の一例を示すが、この例ではコントロールピンとして CE 1 バーおよび CE 2 が設けられている。このスタティック RAM においては、CE 1 バーおよび CE 2 のコントロールピンをともに有効とする場合と、CE 1 バーのコントロールピンを有効とし、CE 2 のコントロールピンは無効とする場合とがある。

**【0003】** 従来、このような二つの場合に対応するためには、ウェハの製造工程において、アルミニウム

(A1) 配線のパターンを作り分けていた。すなわち、CE 1 バーのコントロールピンおよび CE 2 のコントロールピンをともに有効とする場合は、これらのコントロールピン用のボンディングパッドがそれぞれ内部回路と接続されるように A1 配線が設けられ、CE 1 バーのコントロールピンのみを有効とし、CE 2 のコントロールピンは無効とする場合には、CE 1 バーのコントロールピン用のボンディングパッドのみが内部回路と接続されるように A1 配線が設けられる。

**【0004】**

**【発明が解決しようとする課題】** しかしながら、上述のようにコントロールピンの有効または無効に応じて A1 配線のパターンを作り分けるためには、A1 配線の形成のために 2 種類のマスクパターンが必要となり、それだけ製造コストが増大する。

**【0005】** したがって、この発明の目的は、配線パターンを変更せずに、仕様に応じて所定のコントロール端子を有効または無効にすることができる半導体装置を提供することにある。

**【0006】**

**【課題を解決するための手段】** 上記目的を達成するために、この発明における第 1 の発明は、コントロール端子を含む複数の入出力端子を有する半導体装置において、コントロール端子がヒューズを介して所定の電源に接続され、ヒューズの切断または未切断によりコントロール端子を有効または無効にすることを特徴とするものである。

**【0007】** この発明における第 2 の発明は、コントロール端子を含む複数の入出力端子を有する半導体装置において、第 1 の入力端子および第 2 の入力端子を有する入力バッファと、その一端が接地され、他端が所定の電源に接続されたヒューズを含み、ハイレベルまたはローレベルの信号を出力する回路とを有し、コントロール端子は入力バッファの第 1 の入力端子と接続され、回路の出力端子は入力バッファの第 2 の入力端子と接続され、ヒューズの切断または未切断により入力端子を有効または無効にすることを特徴とするものである。

**【0008】** この発明における第 2 の発明の一実施形態においては、その一端が接地され、他端が所定の電源に接続されたヒューズを含み、ハイレベルまたはローレベルの信号を出力する回路は、ラッチ回路からなる。

**【0009】** この発明において、ヒューズは、例えば多結晶シリコンやポリサイドにより形成される。

**【0010】** 上述のように構成されたこの発明による半導体装置によれば、A1 配線のパターンを変更せずに、仕様に応じてヒューズの切断または未切断によりコントロール端子を有効または無効にすることができる。また、仕様に応じて A1 配線を作り分ける必要がないので、仕様の変更にフレキシブルに対応することができる。

**【0011】**

**【発明の実施の形態】** 以下、この発明の実施形態について図面を参照しながら説明をする。

**【0012】** 図 1 はこの発明の第 1 の実施形態によるスタティック RAM を示し、特にその CE 2 のコントロール端子付近の接続を示す回路図である。このスタティック RAM のパッケージング後のピン配置は、例えば図 5 に示すと同様である。

**【0013】** 図 1 に示すように、この第 1 の実施形態に

よるスタティックRAMにおいては、ウェハー状態で、CE2のコントロール端子1は、入力バッファ2の入力端子と接続されているとともに、ヒューズ3を介して電源電圧Vccを供給する電源と接続されている。入力バッファ2の出力端子は内部回路と接続されている。ここでは、CE2のコントロール端子1はボンディングパッドである。また、ヒューズ3は、レーザー光などの照射により切断することが可能なものであり、例えば多結晶シリコンにより形成される。

【0014】この第1の実施形態によるスタティックRAMにおいては、ヒューズ3の切断または未切断により、CE2のコントロール端子1を有効または無効に設定する。

【0015】すなわち、図1に示す状態では、CE2のコントロール端子1はヒューズ3を介して電源電圧Vccを供給する電源と接続されているため、CE2のコントロール端子1の電位は常にVccとなっており、電位がVccの状態をハイレベル、接地電位の状態をローレベルとすると、入力バッファ2の入力端子には常にハイレベルの信号が入力されている。この場合、CE2のコントロール端子1からは、このスタティックRAMの動作および停止の制御ができない。言い換えれば、CE2のコントロール端子1は無効である。

【0016】次に、仕様に応じてCE2のコントロール端子1を有効にしたいときは、図2に示すように、ヒューズ3をレーザー光の照射などにより切断する。この場合、CE2のコントロール端子1と電源電圧Vccを供給する電源とが短絡状態でなくなるので、CE2のコントロール端子1に入力される電圧によって、このスタティックRAMの動作および停止の制御が可能となる。言い換えれば、CE2のコントロール端子1は有効となる。なお、ヒューズ3の切断は、通常、ウェハーの特性テストの段階で行う。

【0017】図3は、この第1の実施形態によるスタティックRAMにおけるヒューズ3の具体的な構造の一例を示す。ここで、図3Aはヒューズ3の付近の構造を示す平面図、図3Bは図3AのB-B線に沿っての断面図である。

【0018】図3に示すように、例えば二酸化シリコン(SiO<sub>2</sub>)膜のような層間絶縁膜4上に、例えば多結晶Siからなるヒューズ3が設けられている。符号5は、例えばSiO<sub>2</sub>膜のような層間絶縁膜を示す。ヒューズ3の両端には、この層間絶縁膜5に設けられたコンタクトホール5a、5b、5c、5dを介して、例えばA1からなる配線6a、6bが接続されている。図示は省略するが、これらの配線6a、6bのうち、配線6aはCE2のコントロール端子1と接続され、配線6bは電源電圧Vccを供給する電源と接続されている。符号7は保護膜を示す。保護膜7および層間絶縁膜5には、ヒューズ3の中央部が露出するように開口8が設けられ

ている。ヒューズ3を切断するためには、この開口8を通してヒューズ3に、例えばレーザー光などを照射する。

【0019】以上のように、この第1の実施形態によるスタティックRAMによれば、CE2のコントロール端子1がヒューズ3を介して電源電圧Vccを供給する電源と接続され、このヒューズ3が未切断であればCE2のコントロール端子1を無効とし、ヒューズ3を切断すればCE2のコントロール端子1を有効とすることができるので、仕様に応じて、ウェハーの製造工程においてA1配線パターンを作り分ける必要がない。このため、CE2のコントロール端子1の有効、無効に応じてA1配線形成用のマスクパターンを2種類用意する必要がない。

【0020】また、ヒューズ3の切断または未切断により、CE2のコントロール端子1を有効または無効にすることができるので、仕様の変更に対してフレキシブルに対応することができる。

【0021】図4はこの発明の第2の実施形態によるスタティックRAMを示し、特にCE2のコントロール端子付近の接続を示す回路図である。

【0022】図4に示すように、この第2の実施形態によるスタティックRAMにおいては、ウェハー状態で、CE2のコントロール端子11は、2入力 NOR 型の論理ゲートからなる入力バッファ12の第1の入力端子と接続されている。この入力バッファ12の第2の入力端子はラッチ回路20の出力端子と接続されている。入力バッファ12の出力端子は内部回路と接続されている。

【0023】ラッチ回路20は、pチャネルMOSトランジスタ21、pチャネルMOSトランジスタ22、インバータ23、インバータ24およびヒューズ25からなる。pチャネルMOSトランジスタ21のソースおよびドレインはともに電源電圧Vccを供給する電源と接続され、ゲートはpチャネルMOSトランジスタ22のソースと接続されている。pチャネルMOSトランジスタ22のドレインは電源電圧Vccを供給する電源と接続され、ソースはヒューズ25を介して接地されている。また、pチャネルMOSトランジスタ22のソースは、インバータ23、24を介してラッチ回路20の出力端子と接続されている。インバータ23の出力端子はpチャネルMOSトランジスタ22のゲートと接続されている。

【0024】この第2の実施形態によるスタティックRAMにおいては、ヒューズ25が未切断の状態では、CE2のコントロール端子11は有効となっている。すなわち、ヒューズ25が未切断の状態では、図4におけるノード26はヒューズ25を介して接地されているので、その電位は常に0となる。この場合、ラッチ回路20の出力も常にローレベルとなるので、CE2のコント

ロール端子 1 1 に入力される CE 2 信号によりスタティック RAM の動作および停止を制御することが可能である。つまり、ヒューズ 2 5 が未切断のときは、CE 2 のコントロール端子 1 1 は有効である。

【0025】次に、仕様に応じて CE 2 のコントロール端子 1 1 を無効としたいときは、ヒューズ 2 5 をレーザー光などの照射により切断する。このとき、図 4 におけるノード 2 6 はフローティングの状態となっている。ここで、ソースおよびドレインが電源電圧  $V_{cc}$  を供給する電源と接続された p チャネル MOS トランジスタ 2 1 による容量カップリングにより、p チャネル MOS トランジスタ 2 1 のゲートと接続されたノード 2 6 の電位は  $V_{cc}$  と等しくなる。これによって p チャネル MOS トランジスタ 2 2 のゲートの電位がローレベルとなってオンの状態になるため、ノード 2 6 は  $V_{cc}$  の電位に安定に保持される。このとき、2 段のインバータ 2 3、2 4 を介したラッチ回路 2 0 の出力は常にハイレベルとなる。この場合、CE 2 のコントロール端子 1 1 からはスタティック RAM の動作および停止の制御ができないので、この CE 2 のコントロール端子 1 1 は無効となる。

【0026】以上のように、この第 2 の実施形態によるスタティック RAM によれば、第 1 の実施形態と同様に、ヒューズ 2 5 が未切断であれば CE 2 のコントロール端子 1 1 は有効であり、ヒューズ 2 5 を切断すれば CE 2 のコントロール端子 1 1 を無効とすることができるので、仕様に応じて、ウェハの製造工程において A 1 配線パターンを作り分ける必要がない。このため、CE 2 のコントロール端子 1 1 の有効、無効に応じて A 1 配線形成用のマスクパターンを 2 種類用意する必要がない。

【0027】また、ヒューズ 2 5 の切断または未切断により CE 2 のコントロール端子 1 1 を無効または有効にすることができるので、仕様の変更に対してフレキシブルに対応することができる。

【0028】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の

変形が可能である。

【0029】例えば、上述の第 2 の実施形態において用いたラッチ回路 2 0 の構成は一例に過ぎず、他の構成のものを用いてもよい。

【0030】また、上述の第 1 および第 2 の実施形態においては、この発明をスタティック RAM に適用した場合について説明をしたが、この発明は、コントロール端子を有する各種の半導体装置に適用することが可能である。

#### 10 【0031】

【発明の効果】以上説明したように、この発明による半導体装置によれば、ヒューズの切断または未切断によりコントロール端子を有効または無効にしている。配線パターンを変更せずに、仕様に応じてコントロール端子を有効または無効にすることができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態によるスタティック RAM を示す回路図である。

20 【図 2】 この発明の第 1 の実施形態によるスタティック RAM においてヒューズを切断した状態を示す回路図である。

【図 3】 この発明の第 1 の実施形態によるスタティック RAM におけるヒューズの具体的な構造の一例を示す平面図および断面図である。

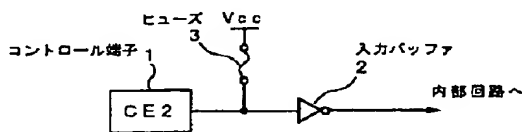
【図 4】 この発明の第 2 の実施形態によるスタティック RAM を示す回路図である。

【図 5】 スタティック RAM のピン配置の一例を示す略線図である。

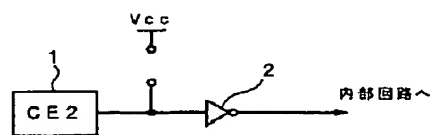
【符号の説明】

- 30 1、11 CE 2 のコントロール端子  
2、12 入力バッファ  
3、25 ヒューズ  
8 開口  
20 ラッチ回路  
21、22 p チャネル MOS トランジスタ  
23、24 インバータ

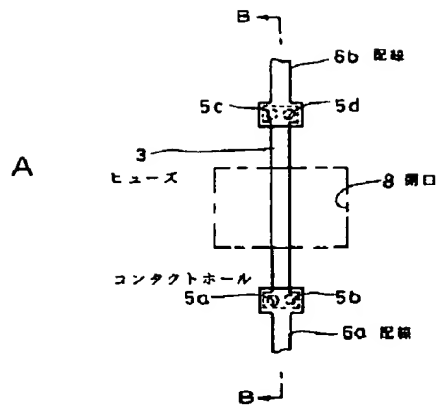
【図 1】



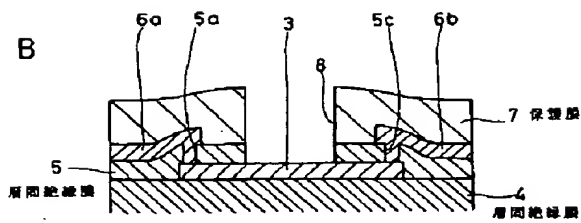
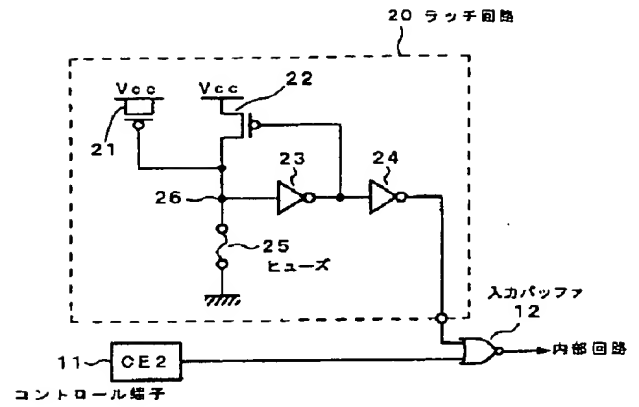
【図 2】



【図3】



【図4】



【図5】

